

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-292043

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H03G 3/10

H03F 1/30

H03F 1/32

H03F 3/45

(21)Application number : 2000-104924

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 06.04.2000

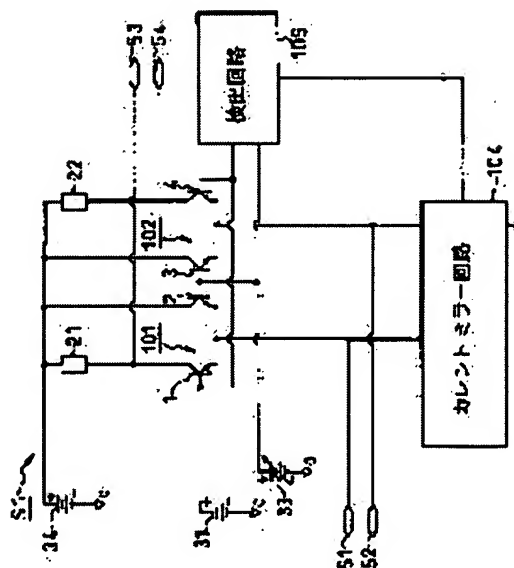
(72)Inventor : HORIKOSHI DAIJI
USHIDA SUSUMU

(54) VARIABLE GAIN AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a variable gain amplifier circuit that can reduce deterioration in the distortion characteristic due to fluctuations in a power voltage.

SOLUTION: The variable gain amplifier circuit is configured such that when an input signal is small and a voltage of a 1st bias power source 31 is higher than a voltage of a variable bias power source 33, a current mirror circuit 104 supplies a prescribed current to 1st and 2nd differential amplifier circuits 101, 102 by the action of a detection circuit 105. When the input signal gets higher, the detection circuit 105 detects a difference between the voltage of the variable bias power source 33 and the voltage of the 1st bias power source 31 and the current mirror circuit 104 supplies a current being a sum of a current corresponding to the voltage difference and the prescribed current in the case of the smaller input signal as above to the 1st and 2nd differential amplifier circuits 101, 102 by the action of the detection circuit 105, and even when the power voltage is reduced, the reduction in the current is suppressed to prevent deterioration in the distortion characteristic.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-292043

(P2001-292043A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)		
H 0 3 G	3/10	H 0 3 G	3/10	B	5 J 0 6 6
H 0 3 F	1/30	H 0 3 F	1/30	B	5 J 0 9 0
	1/32		1/32		5 J 1 0 0
	3/45		3/45	A	

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願2000-104924(P2000-104924)

(22) 出願日 平成12年4月6日 (2000. 4. 6)

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 堀越 大司

埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(72) 発明者 牛田 進

埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(74) 代理人 100099818

弁理士 安孫子 勉

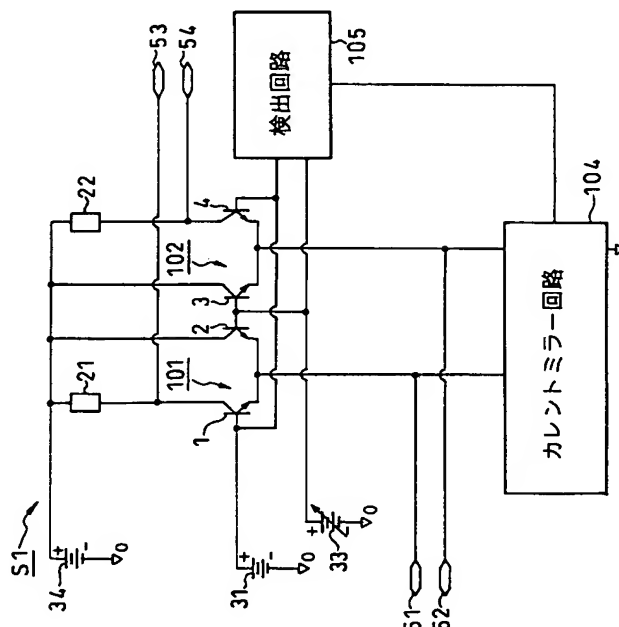
最終頁に続く

(54) 【発明の名称】 可変利得増幅回路

(57) 【要約】

【課題】 電源電圧の変動による歪み特性の劣化の低減を図る。

【解決手段】 入力信号が小さく、第1のバイアス電源31の電圧が、可変バイアス電源33の電圧より大である場合、検出回路105の作用により、カレントミラー回路104から第1及び第2の差動増幅回路101、102には、所定電流が供給される一方、入力信号が大になると、検出回路105により可変バイアス電源33の電圧と第1のバイアス電源31の電圧との差が検出され、カレントミラー回路104からは、検出回路105の作用により、その差電圧に応じた電流と入力信号が小さい場合の所定電流との和の電流が第1及び第2の差動増幅回路101、102に供給され、電源電圧の低下が生じて、電流の減少が抑圧され、歪み特性の劣化が防止されるような構成となっている。



【特許請求の範囲】

【請求項 1】 第 1 及び第 2 のトランジスタを有し、各々のエミッタが相互に接続されてなる第 1 の差動増幅回路と、

第 3 及び第 4 のトランジスタを有し、各々のエミッタが相互に接続されてなる第 2 の差動増幅回路とが設けられ、

前記第 1 及び第 2 のトランジスタのエミッタと、前記第 3 及び第 4 のトランジスタのエミッタとの間に入力信号が印加され、

前記第 1 及び第 4 のトランジスタの各々のコレクタには、それぞれインピーダンス素子を介して直流電源電圧が印加され、

前記第 1 及び第 4 のトランジスタのベースには、所定の第 1 のバイアス電圧が、また、前記第 2 及び第 3 のトランジスタのベースには、前記入力信号の大きさに応じたバイアス電圧が、それぞれ印加されて、前記第 1 及び第 4 のトランジスタの各々のコレクタの間に出力信号が得られるよう構成されてなる可変利得増幅回路であって、前記第 1 及び第 2 の差動増幅回路を構成するトランジスタのエミッタ電流を供給するカレントミラー回路と、前記第 1 のバイアス電圧と前記入力信号の大きさに応じたバイアス電圧との差を検出し、その検出結果に応じて前記カレントミラー回路の電流を制御する検出回路とを具備してなることを特徴とする可変利得増幅回路。

【請求項 2】 検出回路は、第 1 のバイアス電圧が入力信号の大きさに応じたバイアス電圧より大きい場合には、カレントミラー回路に所定の電流が流れ、入力信号の大きさに応じたバイアス電圧が第 1 のバイアス電圧より大きい場合には、その差に応じた電流と前記所定の電流とが前記カレントミラー回路に流れるよう、前記カレントミラー回路の動作を制御することを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 3】 検出回路は、エミッタが相互に接続された第 5 及び第 6 のトランジスタを有し、前記第 5 のトランジスタのベースには、入力信号の大きさに応じたバイアス電圧が、前記第 6 のトランジスタのベースには、第 1 のバイアス電圧が、それぞれ印加される一方、前記第 5 のトランジスタのコレクタには、前記第 5 のトランジスタと逆極性で、ベースとコレクタとが相互に接続された第 7 のトランジスタのコレクタが、前記第 6 のトランジスタのコレクタには、前記第 7 のトランジスタと同極性の第 8 のトランジスタのエミッタが、それぞれ接続され、前記第 7 及び第 8 のトランジスタのベースは相互に接続され、前記第 7 及び第 8 のトランジスタのエミッタには、直流電圧が印加され、前記第 8 のトランジスタのエミッタとコレクタ間には、第 1 の定電流源が接続され、前記第 8 のトランジスタのコレクタが出力段となることを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 4】 カレントミラー回路は、ベースが相互に接続された第 9 乃至第 11 のトランジスタを有し、前記第 9 乃至第 11 のトランジスタのエミッタは共に、アースに接続される一方、前記第 9 のトランジスタのコレクタは、第 1 及び第 2 のトランジスタのエミッタに、前記第 10 のトランジスタのコレクタは、前記第 3 及び第 4 のトランジスタのエミッタに、前記第 11 のトランジスタのコレクタは、第 8 のトランジスタのコレクタに、それぞれ接続されると共に、前記第 11 のトランジスタのコレクタとベースとが接続されてなることを特徴とする請求項 3 記載の可変利得増幅回路。

【請求項 5】 請求項 4 記載の可変利得増幅回路において、第 1 の定電流源に代えて、第 1 及び第 2 のトランジスタのエミッタとアースとの間に、第 1 の差動増幅回路用定電流源を、第 3 及び第 4 のトランジスタのエミッタとアースとの間に、第 2 の差動増幅回路用定電流源が、それぞれ設けられてなることを特徴とする可変利得増幅回路。

【請求項 6】 第 1 及び第 2 のトランジスタを有し、各々のエミッタが相互に接続されてなる第 1 の差動増幅回路と、第 3 及び第 4 のトランジスタを有し、各々のエミッタが相互に接続されてなる第 2 の差動増幅回路とが設けられ、

前記第 1 及び第 2 のトランジスタのエミッタと、前記第 3 及び第 4 のトランジスタのエミッタとの間に入力信号が印加され、

前記第 1 及び第 4 のトランジスタの各々のコレクタには、それぞれインピーダンス素子を介して直流電源電圧が印加され、

前記第 1 及び第 4 のトランジスタのベースには、所定の第 1 のバイアス電圧が、また、前記第 2 及び第 3 のトランジスタのベースには、前記入力信号の大きさに応じたバイアス電圧が、それぞれ印加されて、前記第 1 及び第 4 のトランジスタの各々のコレクタの間に出力信号が得られるよう構成されてなる可変利得増幅回路であって、前記第 1 及び第 2 の差動増幅回路を構成するトランジスタのエミッタ電流を供給するバイアス回路と、前記第 1 のバイアス電圧と前記入力信号の大きさに応じたバイアス電圧との差を検出し、その検出結果に応じて前記バイアス回路の動作を制御する検出回路とを具備してなることを特徴とする可変利得増幅回路。

【請求項 7】 検出回路は、第 1 のバイアス電圧が入力信号の大きさに応じたバイアス電圧より大きい場合には、バイアス回路に所定の電圧が印加され、入力信号の大きさに応じたバイアス電圧が第 1 のバイアス電圧より大きい場合には、その差に応じた電圧と前記所定の電圧とが前記バイアス回路に印加されるよう、前記バイアス回路の動作を制御することを特徴とする請求項 6 記載の可変利得増幅回路。

【請求項 8】 検出回路は、エミッタが相互に接続された第 5 及び第 6 のトランジスタを有し、前記第 5 のトランジスタのベースには、入力信号の大きさに応じたバイアス電圧が、前記第 6 のトランジスタのベースには、第 1 のバイアス電圧が、それぞれ印加される一方、前記第 5 のトランジスタのコレクタには、前記第 5 のトランジスタと逆極性で、ベースとコレクタとが相互に接続された第 7 のトランジスタのコレクタが、前記第 6 のトランジスタのコレクタには、前記第 7 のトランジスタと同極性の第 8 のトランジスタのエミッタが、それぞれ接続され、前記第 7 及び第 8 のトランジスタのベースは相互に接続され、前記第 7 及び第 8 のトランジスタのエミッタには、直流電圧が印加され、前記第 8 のトランジスタのエミッタとコレクタ間には、第 1 の定電流源が接続され、前記第 8 のトランジスタのコレクタが出力段としてなることを特徴とする請求項 6 記載の可変利得増幅回路。

【請求項 9】 バイアス回路は、ベースが相互に接続された第 9 及び第 10 のトランジスタを有し、前記第 9 及び第 10 のトランジスタのエミッタは共に、抵抗器を介してアースに接続される一方、前記第 9 のトランジスタのコレクタは、第 1 及び第 2 のトランジスタのエミッタに、前記第 10 のトランジスタのコレクタは、前記第 3 及び第 4 のトランジスタのエミッタに、それぞれ接続されると共に、前記第 10 のトランジスタのベースには、第 8 のトランジスタのコレクタと、一端がアースに接続された抵抗器の他端が接続されてなることを特徴とする請求項 8 記載の可変利得増幅回路。

【請求項 10】 請求項 9 記載の可変利得増幅回路において、第 1 の定電流源に代えて、第 1 及び第 2 のトランジスタのエミッタとアースとの間に、第 1 の差動増幅回路用定電流源を、第 3 及び第 4 のトランジスタのエミッタとアースとの間に、第 2 の差動増幅回路用定電流源が、それぞれ設けられてなることを特徴とする可変利得増幅回路。

【請求項 11】 第 1 及び第 2 の差動増幅回路とカレントミラー回路との間に、2つのトランジスタを有してなる平衡増幅回路が設けられ、当該平衡増幅回路を介して入力信号が印加されるよう構成されてなることを特徴とする請求項 1 乃至請求項 10 のいずれかに記載の可変利得増幅回路。

【請求項 12】 第 1 及び第 2 の差動増幅回路とカレントミラー回路との間に、2つのトランジスタを有してなる第 3 の差動増幅回路が設けられ、当該第 3 の差動増幅回路を介して入力信号が印加されるよう構成されてなることを特徴とする請求項 1 乃至請求項 10 のいずれかに記載の可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、いわゆる TV チュ

ーナや BS チューナ等における高周波帯の信号を増幅するための可変利得増幅回路に係り、特に、歪み特性の改善を図ったものに関する。

【0002】

【従来の技術】従来、この種の増幅回路としては、例えば、図 12 に示されたような構成を有してなる可変利得増幅回路が知られている。すなわち、同図を参照しつつこの可変利得増幅回路の構成、動作について説明すれば、まず、この可変利得増幅回路は、2つの差動増幅回路 111、112 と、入力段を形成する平衡増幅回路 113 とに大別されて構成されたものとなっているものである。第 1 の差動増幅回路 111 は、npn 形の第 1 及び第 2 のトランジスタ 61、62 を有してなるもので、この第 1 及び第 2 のトランジスタ 61、62 は、相互にエミッタが接続される一方、第 1 のトランジスタ 61 のコレクタは、第 1 のコレクタ抵抗器 71 を介して直流電源 80 に接続されると共に第 1 の出力端子 87 に接続され、また、第 2 のトランジスタ 62 のコレクタは、直流電源 80 に直接接続されたものとなっている。第 2 の差動増幅回路 112 は、npn 形の第 3 及び第 4 のトランジスタ 63、64 を有してなるもので、この第 3 及び第 4 のトランジスタ 63、64 は、相互にエミッタが接続される一方、第 4 のトランジスタ 64 のコレクタは、第 2 のコレクタ抵抗器 72 を介して直流電源 80 に接続されると共に第 2 の出力端子 88 に接続され、また、第 3 のトランジスタ 63 のコレクタは、直流電源 80 に直接接続されたものとなっている。

【0003】上述した第 1 及び第 4 のトランジスタ 61、64 のベースは、所定電圧の第 1 のバイアス電源 81 に接続される一方、第 2 及び第 3 のトランジスタ 62、63 のベースは、入力信号の変化に応じてその出力電圧が変化するよう構成されてなる可変バイアス電源 83 に接続されている。一方、平衡増幅回路 113 は、npn 形の第 5 及び第 6 のトランジスタ 65、66 によるベース接地回路となっており、各々のベースは、相互に接続されると共に、所定電圧の第 2 のバイアス電源 82 に接続されたものとなっている。そして、第 5 のトランジスタ 65 のコレクタは、先の第 1 及び第 2 のトランジスタ 61、62 のエミッタに、第 6 のトランジスタ 66 のコレクタは、先の第 3 及び第 4 のトランジスタ 63、64 のエミッタに、それぞれ接続されている。

【0004】また、第 5 及び第 6 のトランジスタ 65、66 のエミッタ側には、npn 形の第 7 及び第 8 のトランジスタ 67、68 による定電流回路が接続された構成となっている。すなわち、第 7 及び第 8 のトランジスタ 67、68 は、ベースが相互に接続される一方、第 7 のトランジスタ 67 のコレクタは、先の第 5 のトランジスタ 65 のエミッタと共に第 1 の入力端子 85 に、第 8 のトランジスタ 68 のコレクタは、先の第 6 のトランジスタ 66 のエミッタと共に第 2 の入力端子 86 に、それぞ

れ接続されている。さらに、第7のトランジスタ67のエミッタは、第1のエミッタ抵抗器73を介して、第8のトランジスタ68のエミッタは、第2のエミッタ抵抗器74を介して、それぞれ共にアースに接続されたものとなっている。

【0005】またさらに、先の第1のトランジスタ61のコレクタには、npn形の第9のトランジスタ69のベースが、第4のトランジスタ64のコレクタには、npn形の第10のトランジスタ70のベースが、それぞれ接続されている。これら第9及び第10のトランジスタ69、70のコレクタは、共に直流電源80に接続される一方、第9のトランジスタ69のエミッタは、第3及び第4のエミッタ抵抗器75、76を介してアースに接続されると共に、第3及び第4のエミッタ抵抗器75、76の相互の接続点が先の第7及び第8のトランジスタ67、68のベースに接続されたものとなっている。また、第10のトランジスタ70のエミッタは、第5の抵抗器77を介して第7及び第8のトランジスタ67、68のベースに接続されている。

【0006】かかる構成の可変利得増幅回路においては、可変バイアス電源83の出力電圧は、第1及び第2の入力端子85、86に印加される入力信号に応じて変化されるようになっており、入力信号が小さい場合には、可変バイアス電源83の電圧は、第1のバイアス電源81の電圧より小さくなるように制御されるようになっている。そして、この場合、第1及び第4のトランジスタ61、64のコレクタ電流が流れ、コレクタ電圧は第1及び第2のコレクタ抵抗器71、72における電圧降下分だけ直流電源80の出力電圧よりも小さな値となる。そして、第9のトランジスタ69のベースには、第1のトランジスタ61のコレクタ電圧が、第10のトランジスタ70のベースには、第4のトランジスタ64のコレクタ電圧が、それぞれ印加され、第9及び第10のトランジスタ69、70のエミッタ電圧は、そのベース電圧よりベース・エミッタ間電圧 V_{BE} だけ低いものとなる。

【0007】第7及び第8のトランジスタ67、68のベースには、第9及び第10のトランジスタ69、70の各エミッタから、抵抗器75、76、77により分圧されたバイアス電圧が印加され、第7及び第8のトランジスタ67、68にコレクタ電流が流れることとなる。一方、入力信号が大きくなると、可変バイアス電源83の電圧は、第1のバイアス電源81の電圧より大きくなり、先とは逆に、第1及び第4のトランジスタ61、64のコレクタ電流は小さくなり、それぞれのコレクタ電圧が上昇する。そのため、第7及び第8のトランジスタ67、68のベースに印加される電圧が大きくなり、第7及び第8のトランジスタ67、68のコレクタ電流は増大することとなる。すなわち、入力信号が大きい場合には、第7及び第8のトランジスタ67、68の電流も

大きくなり、可変利得増幅回路の歪み特性の改善が図られるものとなっていた。

【0008】

【発明が解決しようとする課題】しかしながら、上述した構成においては、直流電源80の電圧、すなわち電源電圧が何らかの原因で低下したような場合、第7及び第8のトランジスタ67、68のベース電圧が低下し、当然ながら第7及び第8のトランジスタ67、68のコレクタ電流も減少するため、可変利得増幅回路の電流も減少し、歪み特性が大きく劣化してしまうという問題があった。本発明は、上記実状に鑑みてなされたもので、電源電圧が変動しても歪み特性が大きく劣化することがなく回路動作の安定した可変利得増幅回路を提供するものである。

【0009】

【課題を解決するための手段】上記発明の目的を達成するため、本発明に係る可変利得増幅回路は、第1及び第2のトランジスタを有し、各々のエミッタが相互に接続されてなる第1の差動増幅回路と、第3及び第4のトランジスタを有し、各々のエミッタが相互に接続されてなる第2の差動増幅回路とが設けられ、前記第1及び第2のトランジスタのエミッタと、前記第3及び第4のトランジスタのエミッタとの間に入力信号が印加され、前記第1及び第4のトランジスタの各々のコレクタには、それぞれインピーダンス素子を介して直流電源電圧が印加され、前記第1及び第4のトランジスタのベースには、所定の第1のバイアス電圧が、また、前記第2及び第3のトランジスタのベースには、前記入力信号の大きさに応じたバイアス電圧が、それぞれ印加されて、前記第1及び第4のトランジスタの各々のコレクタの間に出力信号が得られるよう構成されてなる可変利得増幅回路であって、前記第1及び第2の差動増幅回路を構成するトランジスタのエミッタ電流を供給するカレントミラー回路と、前記第1のバイアス電圧と前記入力信号の大きさに応じたバイアス電圧との差を検出し、その検出結果に応じて前記カレントミラー回路の電流を制御する検出回路とを具備してなるものである。

【0010】かかる構成においては、検出回路による制御により、入力信号の大きさに応じてカレントミラー回路における電流が適宜制御されて、第1及び第2の差動増幅回路のエミッタ電流が供給されるので、電源電圧の低下が生じて、歪み特性の劣化を抑圧することができ、回路動作の安定した可変利得増幅回路を提供することができるものである。

【0011】また、上記発明の目的を達成するため、本発明に係る可変利得増幅回路は、第1及び第2のトランジスタを有し、各々のエミッタが相互に接続されてなる第1の差動増幅回路と、第3及び第4のトランジスタを有し、各々のエミッタが相互に接続されてなる第2の差動増幅回路とが設けられ、前記第1及び第2のトランジ

スタのエミッタと、前記第3及び第4のトランジスタのエミッタとの間に入力信号が印加され、前記第1及び第4のトランジスタの各々のコレクタには、それぞれインピーダンス素子を介して直流電源電圧が印加され、前記第1及び第4のトランジスタのベースには、所定の第1のバイアス電圧が、また、前記第2及び第3のトランジスタのベースには、前記入力信号の大きさに応じたバイアス電圧が、それぞれ印加されて、前記第1及び第4のトランジスタの各々のコレクタの間に出力信号が得られるよう構成されてなる可変利得増幅回路であって、前記第1及び第2の差動増幅回路を構成するトランジスタのエミッタ電流を供給するバイアス回路と、前記第1のバイアス電圧と前記入力信号の大きさに応じたバイアス電圧との差を検出し、その検出結果に応じて前記バイアス回路の動作を制御する検出回路とを具備してなるものである。

【0012】かかる構成においては、検出回路による制御により、入力信号の大きさに応じてバイアス回路における電流が適宜制御されて、第1及び第2の差動増幅回路のエミッタ電流が供給されるので、電源電圧の低下が生じても、歪み特性の劣化を抑圧することができ、回路動作の安定した可変利得増幅回路を提供することができるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図1乃至図11を参照しつつ説明する。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。最初に、第1の発明に係る可変利得増幅回路について図1及び図2を参照しつつ説明する。まず、図1を参照しつつ第1の発明に係る可変利得増幅回路の基本回路構成について説明する。この第1の発明に係る可変利得増幅回路S1は、第1の差動増幅回路101と、第2の差動増幅回路102と、カレントミラー回路104と、検出回路105とを主たる構成要素としてなるものである。第1の差動増幅回路101はnpn形の第1及び第2のトランジスタ1、2を有してなり、第2の差動増幅回路102は、npn形の第3及び第4のトランジスタ3、4を有してなるものとなっている。

【0014】第1の差動増幅回路101において、第1及び第2のトランジスタ1、2は、相互にエミッタが接続される一方、第1のトランジスタ1のコレクタは、第1のインピーダンス素子21を介して直流電源34に接続されると共に第1の出力端子53に接続され、また、第2のトランジスタ2のコレクタは、第2の差動増幅回路102の第3のトランジスタ3のコレクタと共に、直流電源34に接続されている。また、第2の差動増幅回路102において、第3及び第4のトランジスタ3、4は、相互にエミッタが接続される一方、第4のトランジスタ4のコレクタは、第2のインピーダンス素子22を

介して直流電源34に接続されると共に第2の出力端子54に接続されている。

【0015】そして、先の第1及び第4のトランジスタ1、4のベースは、相互に接続されて、所定の第1のバイアス電圧を出力する第1のバイアス電源31に接続されると共に、検出回路105の入力段に接続される一方、第2及び第3のトランジスタ2、3のベースは相互に接続され、可変バイアス電源33に接続されると共に、検出回路105の入力段に接続されたものとなっている。ここで、可変バイアス電源33は、後述する第1及び第2の入力端子51、52に印加される入力信号の大きさに応じて、その出力電圧が変化するように構成されたものとなっている。

【0016】一方、先の第1及び第2のトランジスタ1、2のエミッタと、第3及び第4のトランジスタ3、4のエミッタは、それぞれカレントミラー回路104に接続されると共に、第1及び第2のトランジスタ1、2のエミッタには、第1の入力端子51が、第3及び第4のトランジスタ3、4のエミッタには、第2の入力端子52が、それぞれ接続されたものとなっている。

【0017】検出回路105は、第1のバイアス電源31の電圧と、可変バイアス電源33の電圧との差を検出し、その検出された電圧差に応じた電流をカレントミラー回路104に流すように構成されてなるものである。すなわち、この検出回路105は、第1のバイアス電源31の電圧が可変バイアス電源33の電圧よりも大きい場合には、カレントミラー回路104に所定の初期電流が流れるように作用し、可変バイアス電源33の電圧が第1のバイアス電源31の電圧より大きい場合に、先の初期電流に加えて、両バイアス電圧の差分に応じた電流がカレントミラー回路104に流れるように作用するものである。ここで、所定の初期電流がカレントミラー回路104に流れるようにするためのより具体的な構成としては、例えば、電流源(図示せず)を検出回路105の出力段に設け、第1のバイアス電源31の電圧が可変バイアス電源33の電圧よりも大きい場合に、この電流源からの電流がカレントミラー回路104へ供給されるようにする構成が考えられる。また、この電流源をカレントミラー回路104に設けて、検出回路105によって第1のバイアス電源31の電圧が可変バイアス電源33の電圧よりも大きいことが検出された場合に、検出回路105からのその検出結果に対応する所定の出力信号に応じて、電流源の電流がカレントミラー回路104で流れるようにしても好適である。カレントミラー回路104は、公知・周知の回路構成を有してなるもので、上述したように検出回路105の検出結果に応じて電流が制御されるようになっている。

【0018】次に、上記構成における動作について説明すれば、まず、第1及び第2の入力端子51、52に印加された入力信号が小さい場合、可変バイアス電源33

の出力電圧は、第1のバイアス電源31の電圧に比して小さなものとなる。その結果、第1及び第4のトランジスタ1, 4のコレクタに多くのコレクタ電流が流れ、それぞれのコレクタ電圧は、直流電源34による電源電圧から、それぞれのインピーダンス素子21, 22における電圧降下分だけ減じた大きさとなる。一方、第2及び第3のトランジスタ2, 3には、コレクタ電流は殆ど流れない状態となる。そして、検出回路105においては、第1のバイアス電源31の電圧が可変バイアス電源33の電圧より大であることが検出され、それによって、カレントミラー回路104においては、予め設定された初期電流が基準電流として流れることとなる。すなわち、先に述べたように、検出回路105に電流源（図示せず）を設けた構成である場合には、その電流源からの電流が初期電流としてカレントミラー回路104へ供給されることとなる。また、カレントミラー回路104に電流源（図示せず）を設けた構成の場合には、初期電流としてのその電流源の電流がカレントミラー回路104の基準電流として流れることとなる。カレントミラー回路104においては、上述の初期電流が基準電流とされて、それぞれのカレントミラー出力段、すなわち、第1及び第2のトランジスタ1, 2のエミッタに接続された第1のカレントミラー出力段、第3及び第4のトランジスタ3, 4のエミッタに接続された第2のカレントミラー出力段に、いわゆるカレントミラー比で定まる電流が流れることとなる。

【0019】一方、第1及び第2の入力端子51, 52への入力信号が大きい場合には、可変バイアス電源33の出力電圧は、第1のバイアス電源31の電圧よりも大となり、そのため、第2及び第3のトランジスタ2, 3のコレクタ電流が増加する一方、第1及び第4のトランジスタ1, 4のコレクタ電流は減少し、それによって、第1及び第4のトランジスタ1, 4のそれぞれのコレクタ電圧は上昇し、第1及び第2の出力端子53, 54における出力が増大することとなる。そして、検出回路105においては、第1のバイアス電源31の電圧と可変バイアス電源33の電圧の差が検出され、その検出された電圧差に応じた電流がカレントミラー回路104へ出力されることとなる。カレントミラー回路104においては、先に述べた電流源（図示せず）による初期電流と、可変バイアス電源33の電圧と第1のバイアス電源31の電圧の差に応じて検出回路105から出力された電流とが基準電流となって、カレントミラー比に応じた電流が第1及び第2のカレントミラー出力段に流れることとなり、第1及び第2のトランジスタ1, 2のエミッタと、第3及び第4のトランジスタ3, 4のエミッタのそれぞれに流れる電流の増加が図られる。そのため、入力信号の増大による歪みの改善が図られることとなる。また、電源電圧が低下したとしても、第1及び第2のトランジスタ1, 2のエミッタと第3及び第4のトランジ

スタ3, 4のエミッタのそれぞれに流れる電流は、カレントミラー回路104により供給されるものとなっているため、極端な電流の減少が生ずることがなく、そのため歪み特性の大きな劣化が抑圧されることとなる。

【0020】次に、第1の発明に係る可変利得増幅回路S1のより具体的な第1の回路構成例について図2を参照しつつ説明する。なお、図1に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。まず、この図2に示された可変利得増幅回路S1aは、検出回路105及びカレントミラー回路104の具体的な回路構成が示された点と、先の図1に示された第1のインピーダンス素子21として第1のコレクタ抵抗器21aが、第2のインピーダンス素子22として第2のコレクタ抵抗器22aが、それぞれ用いられてなる点を除けば、他の回路構成部分は、基本的に先の図1に示されたものと同一のものである。検出回路105は、npn形の第5及び第6のトランジスタ5, 6と、pnp形の第7及び第8のトランジスタ7, 8と、第1の定電流源41とを主たる構成要素としてなり、第5及び第6のトランジスタ5, 6により差動増幅回路が構成される一方、npn形の第7及び第8のトランジスタ7, 8により構成されたカレントミラー回路が第5のトランジスタ5の能動負荷となるように構成されたものとなっている。

【0021】すなわち、まず、第5のトランジスタ5のベースは、可変バイアス電源33に接続される一方、第6のトランジスタ6のベースは、第1のバイアス電源31に接続されたものとなっている。また、第5及び第6のトランジスタ5, 6は、エミッタが相互に接続されると共に、第2の定電流源42に接続される一方、第5のトランジスタ5のコレクタは、第7のトランジスタ7のコレクタに、また、第6のトランジスタ6のコレクタは、直流電源34に、それぞれ接続されたものとなっている。第7及び第8のトランジスタ7, 8は、ベースが相互に接続される一方、エミッタが共に、直流電源34に接続されたものとなっている。また、第7のトランジスタ7のベースとコレクタは、相互に接続されたものとなっている。さらに、第8のトランジスタ8のコレクタとエミッタ間には、第1の定電流源41が並列接続されて設けられると共に、コレクタは、次述するカレントミラー回路104の入力段となる第11のトランジスタ11のコレクタに接続されたものとなっている。

【0022】カレントミラー回路104を構成する第9乃至第11のトランジスタ9~11は、相互にベースが接続されると共に、第11のトランジスタ11のベースとコレクタは、相互に接続されている一方、エミッタは、共にアースに接続されたものとなっている。そして、第9のトランジスタ9のコレクタは、第1及び第2のトランジスタ1, 2のエミッタと第1の入力端子51

に接続されており、第10のトランジスタ10のコレクタは、第3及び第4のトランジスタ3、4のエミッタと第2の入力端子52に接続されたものとなっている。なお、第11のトランジスタ11のコレクタは、先に述べたように検出回路105の第8のトランジスタ8のコレクタに接続されたものとなっている。

【0023】次に、かかる構成における動作について説明する。まず、第1及び第2の入力端子51、52に印加された入力信号が小さい場合、可変バイアス電源33の出力電圧は、第1のバイアス電源31の電圧に比して小さなものとなる。その結果、第1及び第4のトランジスタ1、4のコレクタに多くのコレクタ電流が流れ、それぞれのコレクタ電圧は、直流電源34による電源電圧から、それぞれのコレクタ抵抗器21a、22aにおける電圧降下分だけ減じた大きさとなるのは先の図1に示された基本回路と同一である。一方、検出回路105においては、第1のバイアス電源31の電圧が、可変バイアス電源33の電圧に比して大であることに対応して、第6のトランジスタ6のコレクタ電流が流れる一方、第5のトランジスタ5にはコレクタ電流は殆ど流れない。そのため、第7及び第8のトランジスタ7、8には電流が流れず、カレントミラー回路104の第11のトランジスタ11には、第1の定電流源41からの所定の電流が流れ込むこととなる。そして、第9及び第10のトランジスタ9、10には、それぞれいわゆるカレントミラー比に応じた電流が流れることとなる。

【0024】また一方、第1及び第2の入力端子51、52への入力信号が大きい場合には、可変バイアス電源33の出力電圧は、第1のバイアス電源31の電圧よりも大となり、そのため、第2及び第3のトランジスタ2、3のコレクタ電流が増加する一方、第1及び第4のトランジスタ1、4のコレクタ電流は減少し、それによって、第1及び第4のトランジスタ1、4のそれぞれのコレクタ電圧は上昇し、第1及び第2の出力端子53、54における出力が増大することとなる。そして、検出回路105においては、可変バイアス電源33の出力電圧が第1のバイアス電源31の電圧よりも大であることに対応して、入力信号が小さい場合とは逆に、第6のトランジスタ6に代わって第5のトランジスタ5のコレクタ電流が流れると共に第7のトランジスタ7にも流れ、それによって第8のトランジスタ8にもコレクタ電流が流れることとなる。したがって、カレントミラー回路104の第11のトランジスタ11のコレクタには、第1の定電流源41の電流と、第8のトランジスタ8のコレクタ電流とが流れ込むこととなり、この第8のトランジスタ8のコレクタ電流の発生に応じて、第9及び第10のトランジスタ9、10のコレクタ電流が増加して、第1及び第2のトランジスタ1、2のエミッタと、第3及び第4のトランジスタ3、4のエミッタのそれぞれに流れる電流の増加が図られることとなる。そのため、入力

信号の増大による歪みの改善が図られるものとなる。

【0025】なお、上述の構成例においては、第1の定電流源41は、第8のトランジスタ8のコレクタとエミッタ間に並列接続されるよう設けられたが、例えば、第11のトランジスタ11のコレクタエミッタ間に並列接続されるよう設けられてもよいものである。さらに、第1の定電流源41を設けることに代えて、図2において点線で示されたように、第1及び第2のトランジスタ1、2のエミッタとアースとの間に、第1の差動増幅回路用定電流源43を、第3及び第4のトランジスタ3、4のエミッタとアースとの間に、第2の差動増幅回路用定電流源44を、それぞれ設けるようにしてもよい。すなわち、この第1の差動増幅回路用定電流源43及び第2の差動増幅回路用定電流源44は、第1の定電流源41により第9及び第10のトランジスタ9、10のコレクタに流れる電流と同じ大きさの電流を供給するためのものである。

【0026】次に、第2の発明に係る可変利得増幅回路S2の基本回路構成について、図3を参照しつつ説明する。なお、図1に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路S2は、先に図1に示された可変利得増幅回路S1に、次述するような構成を有してなる平衡増幅回路106が、第1及び第2の差動増幅回路101、102とカレントミラー回路104との間に設けられた構成となっているものである。すなわち、平衡増幅回路106は、npn形の第12及び第13のトランジスタ12、13を有して構成されてなるもので、第12及び第13のトランジスタ12、13は、相互にベースが接続されると共に、第2のバイアス電源32による所定の第2のバイアス電圧が印加されるようになっている一方、第12のトランジスタ12のコレクタは、第1及び第2のトランジスタ1、2のエミッタに、また、第13のトランジスタ13のコレクタは、第3及び第4のトランジスタ3、4のエミッタに、それぞれ接続されたものとなっている。さらに、第12のトランジスタ12のエミッタは、カレントミラー回路104の第1のカレントミラー出力段に接続されると共に第1の入力端子51に接続される一方、第13のトランジスタ13のエミッタは、カレントミラー回路104の第2のカレントミラー出力段に接続されると共に第2の入力端子52に接続されたものとなっている。

【0027】かかる構成において、平衡増幅回路106は、ベース接地増幅回路の構成であるため、その入力側と出力側との容量的な結合が少ないことから、第1及び第2の入力端子51、52に接続される図示されない前段の回路からの電気的な影響が、第1及び第2の差動増幅回路101、102へ及ぶことを抑圧でき、そのため、安定した回路動作が確保されることとなる。そし

て、この可変利得増幅回路S2の全体的な回路動作は、上述した平衡増幅回路106による作用を除けば、先に図1の回路構成において同図を参照しつつ説明したと基本的に変わるところがないので、ここでの再度の詳細な説明は省略する。

【0028】次に、第3の発明に係る可変利得増幅回路S3の基本回路構成について、図4を参照しつつ説明する。なお、図1又は図3に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路S3は、先に図1に示された可変利得増幅回路S1に、次述するような構成を有してなる第3の差動増幅回路103が入力段に設けられたものとなっている。すなわち、第3の差動増幅回路103は、npn形の第14及び第15のトランジスタ14、15、第1及び第2のバイアス抵抗器25、26第3のインピーダンス素子23及び第2のバイアス電源32を主たる構成要素としてなるものである。

【0029】まず、第14のトランジスタ14は、そのコレクタが第1及び第2のトランジスタ1、2のエミッタに、また、第15のトランジスタ15のコレクタは、第3及び第4のトランジスタのエミッタに、それぞれ接続されている一方、第14及び第15のトランジスタ14、15のエミッタは、それぞれカレントミラー回路104の出力段に接続されたものとなっていると共に、第3のインピーダンス素子23を介して相互に接続されたものとなっている。また、第14のトランジスタ14のベースは、第1の入力端子51に接続されると共に、第1のバイアス抵抗器25を介して、所定の第2のバイアス電圧を出力する第2のバイアス電源32に接続される一方、第15のトランジスタ15のベースは、第2の入力端子52に接続されると共に、第2のバイアス抵抗器26を介して、第2のバイアス電源32に接続されたものとなっている。

【0030】かかる構成における動作は、第1及び第2の入力端子51、52に接続された入力信号が、第3の差動増幅回路103により増幅されて第1及び第2の差動増幅回路101、102へ入力されることとなる点を除けば、先に図1の回路構成において同図を参照しつつ説明したと基本的に変わるところがないので、ここでの再度の詳細な説明は省略する。なお、第3の差動増幅回路103は、次述する図5における第3の差動増幅回路103Aの回路と異なり、第14及び第15のトランジスタ14、15のエミッタが第3のインピーダンス素子23を介して接続されているため、エミッタ同士が直接接続された構成の第3の差動増幅回路103Aに比して、良く知られているように入力信号のいわゆるダイナミック・レンジが大きく、比較的大きな入力信号にも十分対応できるものとなっている。

【0031】次に、第4の発明に係る可変利得増幅回路

S4の基本回路構成について、図5を参照しつつ説明する。なお、図1又は図4に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路S4は、先に図1に示された可変利得増幅回路S1に、次述するような構成を有してなる第3の差動増幅回路103Aが入力段に設けられたものとなっている。この可変利得増幅回路S4は、先に図4に示された回路構成における第3のインピーダンス素子23を用いることなく次述するように第3の差動増幅回路103Aが構成されたものとなっている。さらに、カレントミラー回路104Aの出力段が一つとなっているものである。

【0032】すなわち、第3の差動増幅回路103Aは、npn形の第14及び第15のトランジスタ14、15、第1及び第2のバイアス抵抗器25、26及び第2のバイアス電源32を主たる構成要素としてなるものである。第14のトランジスタ14は、そのコレクタが第1及び第2のトランジスタ1、2のエミッタに、また、第15のトランジスタ15のコレクタは、第3及び第4のトランジスタ3、4のエミッタに、それぞれ接続されている一方、第14及び第15のトランジスタ14、15のエミッタは相互に接続されてカレントミラー回路104Aの出力段に接続されたものとなっている。また、第14のトランジスタ14のベースは、第1の入力端子51に接続されると共に、第1のバイアス抵抗器25を介して、所定の第2のバイアス電圧を出力する第2のバイアス電源32に接続される一方、第15のトランジスタ15のベースは、第2の入力端子52に接続されると共に、第2のバイアス抵抗器26を介して、第2のバイアス電源32に接続されたものとなっている。

【0033】かかる構成において、第3の差動増幅回路103Aは、第14及び第15のトランジスタ15のエミッタが直接接続された構成となっており、この点において、先の図4に示された第3の差動増幅回路103においては、第3のインピーダンス素子23を介して第14及び第15のトランジスタ14、15のエミッタが相互に接続された構成と異なるものとなっている。この第3の差動増幅回路103Aは、入力信号のいわゆるダイナミック・レンジが大きい場合には、飽和状態となってしまうため、先の図4における第3の差動増幅回路103に比して、比較的小信号入力に適するものとなっている。

【0034】次に、第5の発明に係る可変利得増幅回路S5の基本回路構成について、図6を参照しつつ説明する。なお、図1に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路S5は、図1に示された基本回路構成におけるカレントミラー回路104に代えてバイアス回

路 107 が設けられて構成されたものである。すなわち、バイアス回路 107 は、検出回路 105 による第 1 のバイアス電源 31 の電圧と可変バイアス電源 33 の電圧の差分の検出結果に応じて、第 1 及び第 2 の差動増幅回路 101、102 のバイアス電流、すなわち、第 1 乃至第 4 のトランジスタ 1~4 のエミッタ電流を供給するように構成されてなるものである。したがって、このバイアス回路 107 の基本的な作用は、先の図 1 に示された回路構成例におけるカレントミラー回路 104 のそれと基本的には同様なものとなっている。

【0035】かかる構成における可変利得増幅回路 S5 の全体的な回路動作について説明すれば、まず、入力信号が小さく、第 1 のバイアス電源 31 の電圧が可変バイアス電源 33 の電圧よりも大である場合、検出回路 105 によってそのような状態が検出されると、バイアス回路 107 の入力段には、所定の電圧が印加されるようになっている。そして、バイアス回路 107 は、この入力段に印加された所定の電圧によって定まる所定の電流を、第 1 及び第 2 のトランジスタ 1、2 のエミッタ電流及び第 3 及び第 4 のトランジスタ 3、4 のエミッタ電流として供給するようになっている。一方、入力信号が大きく、可変バイアス電源 33 の電圧が第 1 のバイアス電源 31 の電圧よりも大である場合、検出回路 105 によって、その差電圧が検出され、その差電圧に応じた電圧が、先の所定の電圧と共にバイアス回路 107 の入力段に印加されることとなる。したがって、バイアス回路 107 からは、入力段における電圧増加に応じた電流が、第 1 及び第 2 のトランジスタ 1、2 のエミッタ電流及び第 3 及び第 4 のトランジスタ 3、4 のエミッタ電流として供給されることとなり、その基本的な動作は、先に図 1 の回路構成において同図を参照しつつ説明したと基本的に変わるところがないものとなっている。

【0036】次に、第 5 の発明に係る可変利得増幅回路 S5 のより具体的な第 1 の回路構成例について図 7 を参照しつつ説明する。なお、図 6 又は図 3 に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この図 7 に示された可変利得増幅回路 S5a は、バイアス回路 107 の具体的な回路構成例が示された点と、先の図 6 において示された第 1 のインピーダンス素子 21 として第 1 のコレクタ抵抗器 21a が、第 2 のインピーダンス素子 22 として第 2 のコレクタ抵抗器 22a が、それぞれ用いられてなる点を除けば、他の回路構成は、基本的に図 3 に示されたものと同じのものである。すなわち、バイアス回路 107 は、npn 形の第 9 及び第 10 のトランジスタ 9、10、第 1 乃至第 3 のエミッタ抵抗器 28、29 及び第 3 のバイアス抵抗器 27 を主たる構成要素としてなるものである。まず、検出回路 105 の出力段を構成する第 8 のトランジスタ 8 のコレクタは、第 3 のバイアス抵抗器 27 を介

してアースに接続されると共に、この第 3 のバイアス抵抗器 27 と第 8 のトランジスタ 8 のコレクタとの接続点は、第 9 及び第 10 のトランジスタ 9、10 のベースに接続されたものとなっている。

【0037】また、第 9 のトランジスタ 9 のコレクタは、第 1 及び第 2 のトランジスタ 1、2 のエミッタに接続されると共に、第 1 の入力端子 51 に接続される一方、第 10 のトランジスタ 10 のコレクタは、第 3 及び第 4 のトランジスタ 3、4 のエミッタに接続されると共に、第 2 の入力端子 52 に接続されたものとなっている。さらに、第 9 のトランジスタ 9 のエミッタは、第 1 のエミッタ抵抗器 28 を介して、第 10 のトランジスタ 10 のエミッタは、第 2 のエミッタ抵抗器 29 を介して、それぞれアースに接続されたものとなっている。

【0038】次に、かかる構成における動作について説明する。まず、第 1 及び第 2 の入力端子 51、52 に印加された入力信号が小さい場合、可変バイアス電源 33 の出力電圧は、第 1 のバイアス電源 31 の電圧に比して小さなものとなる。その結果、第 1 及び第 4 のトランジスタ 1、4 のコレクタに多くのコレクタ電流が流れ、それぞれのコレクタ電圧は、直流電源 34 による電源電圧から、それぞれのコレクタ抵抗器 21a、22a における電圧降下分だけ減じた大きさとなるのは先の図 1 に示された基本回路と同一である。一方、検出回路 105 においては、第 1 のバイアス電源 31 の電圧が、可変バイアス電源 33 の電圧に比して大であることに対応して、第 6 のトランジスタ 6 のコレクタ電流が流れる一方、第 5 のトランジスタ 5 にはコレクタ電流は殆ど流れない。そのため、第 7 及び第 8 のトランジスタ 7、8 には電流が流れず、第 3 のバイアス抵抗器 27 には、第 1 の定電流源 41 からの所定の電流が流れ込むこととなる。そして、第 3 のバイアス抵抗器 27 には、この第 1 の定電流源 41 による電流と第 3 のバイアス抵抗器 27 の抵抗値で定まる電圧降下が生じ、この電圧は、第 9 及び第 10 のトランジスタ 9、10 のベースへベースバイアス電圧として供給され、第 9 及び第 10 のトランジスタ 9、10 のコレクタにはこのバイアス電圧に応じた電流が流れることとなる。

【0039】一方、第 1 及び第 2 の入力端子 51、52 への入力信号が大きい場合には、可変バイアス電源 33 の出力電圧は、第 1 のバイアス電源 31 の電圧よりも大となり、そのため、第 2 及び第 3 のトランジスタ 2、3 のコレクタ電流が増加する一方、第 1 及び第 4 のトランジスタ 1、4 のコレクタ電流は減少し、それによって、第 1 及び第 4 のトランジスタ 1、4 のそれぞれのコレクタ電圧は上昇し、第 1 及び第 2 の出力端子 53、54 における出力が増大することとなる。そして、検出回路 105 においては、可変バイアス電源 33 の出力電圧が第 1 のバイアス電源 31 の電圧よりも大であることに対応して、入力信号が小さい場合と逆に、第 6 のトランジ

タ 6 に代わって第 5 のトランジスタ 5 のコレクタ電流が流れると共に第 7 のトランジスタ 7 にもコレクタ電流が流れ、それによって第 8 のトランジスタ 8 にもコレクタ電流が流れることとなる。したがって、第 3 のバイアス抵抗器 27 には、第 1 の定電流源 41 の電流と、第 8 のトランジスタ 8 のコレクタ電流とが流れ込むこととなり、第 9 及び第 10 のトランジスタ 9、10 のベースバイアス電圧が上昇することとなる。そのため、第 9 及び第 10 のトランジスタ 9、10 のコレクタ電流が増加して、第 1 及び第 2 のトランジスタ 1、2 のエミッタと、第 3 及び第 4 のトランジスタ 3、4 のエミッタのそれぞれに流れる電流の増加が図られることとなり、入力信号の増大による歪みの改善が図られるものとなる。

【0040】なお、上述の構成例においては、第 1 の定電流源 41 は、第 8 のトランジスタ 8 のコレクタとエミッタ間に並列接続されるよう設けられたが、例えば、第 3 のバイアス抵抗器 27 に並列接続されるよう設けられてもよいものである。さらに、第 1 の定電流源 41 を設けることに代えて、図 7 において点線で示されたように、第 1 及び第 2 のトランジスタ 1、2 のエミッタとアースとの間に、第 1 の差動増幅回路用定電流源 43 を、第 3 及び第 4 のトランジスタ 3、4 のエミッタとアースとの間に、第 2 の差動増幅回路用定電流源 44 を、それぞれ設けるようにしてもよい。すなわち、この第 1 の差動増幅回路用定電流源 43 及び第 2 の差動増幅回路用定電流源 44 は、第 1 の定電流源 41 により第 9 及び第 10 のトランジスタ 9、10 のコレクタに流れる電流と同じ大きさの電流を供給するためのものである。

【0041】図 8 には、本発明に係る可変利得増幅回路の代表的な歪み特性の例として、図 7 に示された回路構成例における歪み特性が示されており、図 12 に示された従来回路の歪み特性を示す図 13 の特性線図と比較しつつ、この図 8 の歪み特性例について説明することとする。まず、図 8 及び図 13 において、横軸の利得制御電圧は、可変利得増幅回路 S5a においては、第 2 及び第 3 のトランジスタ 2、3 のベースに、従来回路（図 12 参照）においては、第 2 及び第 3 のトランジスタ 62、63 のベースに、それぞれ印加される電圧であって、入力信号の大きさに応じて変化するものである。また、図 8 及び図 13 において、縦軸は、可変利得増幅回路 S5a においては、第 1 及び第 2 の出力端子 53、54 に、また、従来回路（図 12 参照）においては、第 1 及び第 2 の出力端子 87、88 に、それぞれ得られる出力信号のレベルを示すものである。

【0042】本発明に係る可変利得増幅回路 S5a においては、利得制御電圧が極小さい場合（0～1V 付近）、換言すれば、入力信号が小さな場合には、歪み信号のレベル（図 8 において実線の特性線参照）は、大凡 -120dBm 弱であるのに対して、従来例においては、-110dBm 強となっており、本発明に係る可変

利得増幅回路 S5a の歪み特性が従来回路に比して明らかに改善されていることが確認できるものとなっている。また、利得制御電圧が大きな領域においても、本発明に係る可変利得増幅回路 S5a の歪み特性は、従来回路に比して数 dBm 程度の改善がなされていることが確認できるものとなっている（図 8 及び図 13 においてそれぞれの実線の特性線参照）。

【0043】次に、第 6 の発明に係る可変利得増幅回路 S6 の基本回路構成について、図 9 を参照しつつ説明する。なお、図 3 又は図 6 に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路 S6 は、先に図 6 に示された可変利得増幅回路 S5 に、先に図 3 を参照しつつ説明したと同一の構成を有してなる平衡増幅回路 106 が、第 1 及び第 2 の差動増幅回路 101、102 とバイアス回路 107 との間に設けられた構成となっているものである。かかる構成において、平衡増幅回路 106 は、ベース接地増幅回路の構成であるため、その入力側と出力側との容量的な結合が少ないことから、第 1 及び第 2 の入力端子 51、52 に接続される図示されない前段の回路からの電気的な影響が、第 1 及び第 2 の差動増幅回路 101、102 へ及ぶことを抑圧でき、そのため、安定した回路動作が確保されることとなる。そして、この可変利得増幅回路 S6 の全体的な回路動作は、上述した平衡増幅回路 106 による作用を除けば、先に図 6 の回路構成において同図を参照しつつ説明したと基本的に変わるところがないので、ここでの再度の詳細な説明は省略する。

【0044】次に、第 7 の発明に係る可変利得増幅回路 S7 の基本回路構成について、図 10 を参照しつつ説明する。なお、図 4 又は図 6 に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路 S7 は、先に図 6 に示された可変利得増幅回路 S5 に、先に図 4 を参照しつつ説明したと同一の構成を有してなる第 3 の差動増幅回路 103 が入力段に設けられたものとなっているものである。かかる構成における動作は、第 1 及び第 2 の入力端子 51、52 に接続された入力信号が、第 3 の差動増幅回路 103 により増幅されて第 1 及び第 2 の差動増幅回路 101、102 へ入力されることとなる点を除けば、先に図 6 の回路構成において同図を参照しつつ説明したと基本的に変わるところがないので、ここでの再度の詳細な説明は省略する。なお、第 3 の差動増幅回路 103 は、先に図 5 を参照しつつ説明した第 3 の差動増幅回路 103A の回路と異なり、第 14 及び第 15 のトランジスタ 14、15 のエミッタが第 3 のインピーダンス素子 23 を介して接続されているため、エミッタ同士が直接接続された構成の第 3 の差動増幅回路 103A に比して、良

く知られているように入力信号のいわゆるダイナミック・レンジが大きく、比較的大きな入力信号にも十分対応できるものとなっている。

【0045】次に、第8の発明に係る可変利得増幅回路S8の基本回路構成について、図11を参照しつつ説明する。なお、図5又は図6に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この可変利得増幅回路S8は、先に図6に示された可変利得増幅回路S5に、先に図5を参照しつつ説明したと同一の構成を有してなる第3の差動増幅回路103Aが入力段に設けられた構成となっているものである。なお、第3の差動増幅回路103Aにおいて、第14及び第15のトランジスタ14、15のエミッタが相互に接続されたことに対応して、バイアス回路107Aの出力段は、一つとなっている。すなわち、先に図7に示されたバイアス回路107を構成する第9及び第10のトランジスタ9、10の一方のコレクタにのみ第14及び第15のトランジスタ14、15のエミッタが接続されるような構成とすればよいものとなっている。かかる構成において、第3の差動増幅回路103Aは、第14及び第15のトランジスタ14、15のエミッタが直接接続された構成となっており、この点において、先の図10に示された第3の差動増幅回路103においては、第3のインピーダンス素子23を介して第14及び第15のトランジスタ14、15のエミッタが相互に接続された構成と異なるものとなっている。この第3の差動増幅回路103Aは、入力信号のいわゆるダイナミック・レンジが大きい場合には、飽和状態となってしまうため、先の図10における第3の差動増幅回路103に比して、比較的小信号入力に適するものとなっている。

【0046】なお、上述した回路構成例において用いた各々のバイポーラトランジスタの極性をそれぞれ逆のものとし、それに応じたバイアス電圧が供給されるように回路を構成しても良いことは勿論であり、また、バイポーラ以外の他の種類のトランジスタを用いて同様に構成しても良いことは勿論である。

【0047】

【発明の効果】以上、述べたように、本発明によれば、可変利得増幅回路の利得制御が、第1の差動増幅回路の第1のトランジスタ及び第2の差動増幅回路の第4のトランジスタのベースに印加される所定のバイアス電圧と、入力信号の大きさに応じて変化される第1の差動増幅回路の第2のトランジスタ及び第2の差動増幅回路の第3のトランジスタのベースに印加されるバイアス電圧との差を検出回路によって検出し、その検出結果に応じて、第1及び第2の差動増幅回路へ電流供給を行うカレ

ントミラー回路又はバイアス回路の電流が制御されるように構成することにより、従来と異なり、電源電圧の減少が生じたような場合にあっては、増幅回路における電流の減少が抑圧され、電源電圧変動による歪み特性の劣化が防止され、回路動作の安定した可変利得増幅回路が提供されるという効果を奏するものである。

【図面の簡単な説明】

【図1】第1の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図2】図1に示された可変利得増幅回路のより具体的な回路構成例を示す回路図である。

【図3】第2の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図4】第3の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図5】第4の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図6】第5の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図7】図6に示された可変利得増幅回路のより具体的な回路構成例を示す回路図である。

【図8】図7に示された可変利得増幅回路の歪み特性を示す特性線図である。

【図9】第6の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図10】第7の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図11】第8の発明に係る可変利得増幅回路の基本回路構成を示す回路図である。

【図12】従来の回路構成例を示す回路図である。

【図13】図12に示された従来回路における歪み特性を示す特性線図である。

【符号の説明】

31…第1のバイアス電源

32…第2のバイアス電源

33…可変バイアス電源

51…第1の入力端子

52…第2の入力端子

53…第1の出力端子

54…第2の出力端子

101…第1の差動増幅回路

102…第2の差動増幅回路

103…第3の差動増幅回路

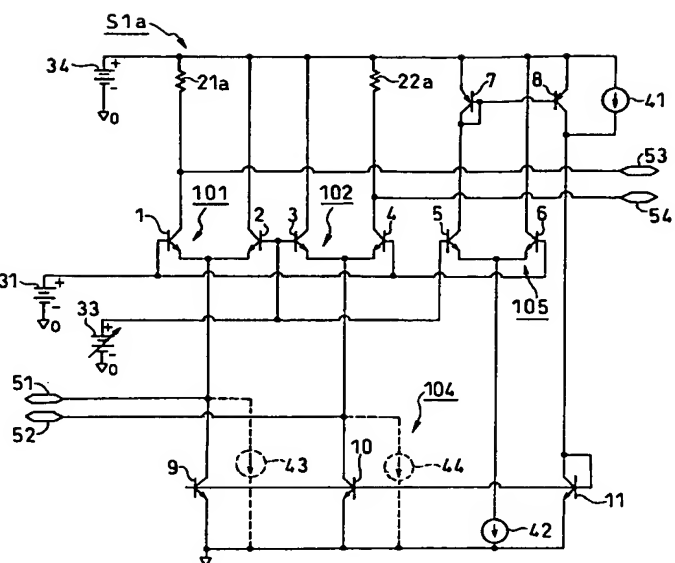
104…カレントミラー回路

105…検出回路

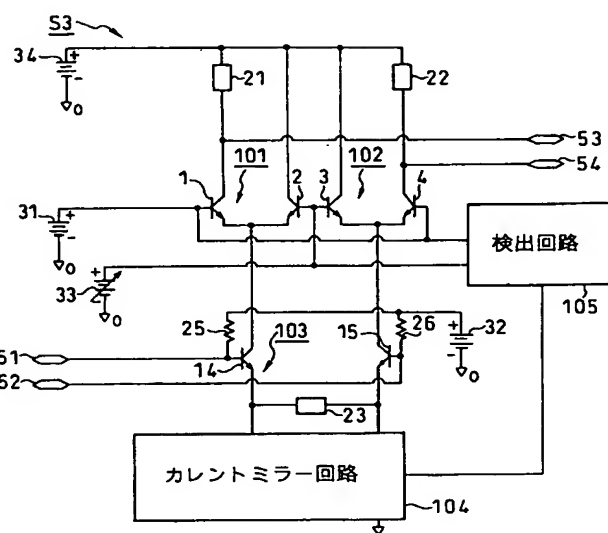
106…平衡増幅回路

107…バイアス回路

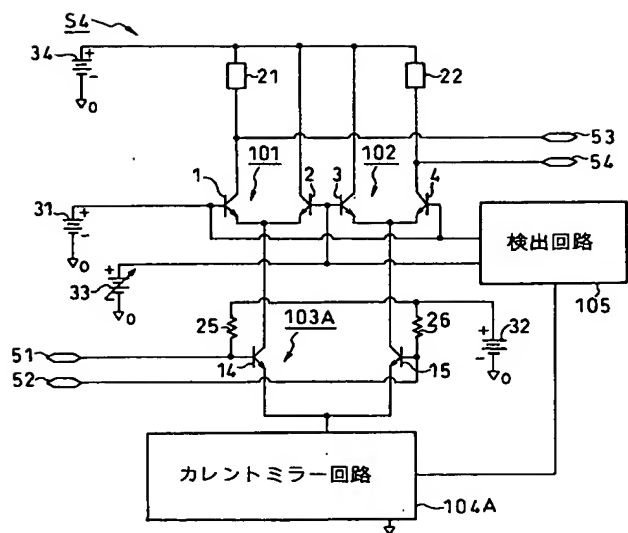
【圖 2】



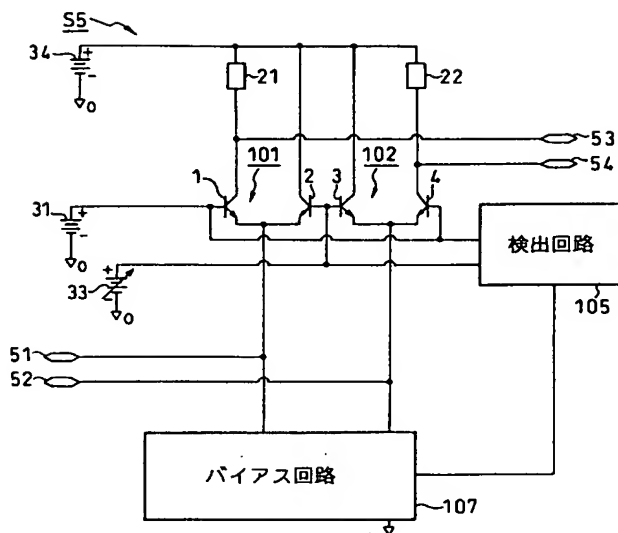
【図4】



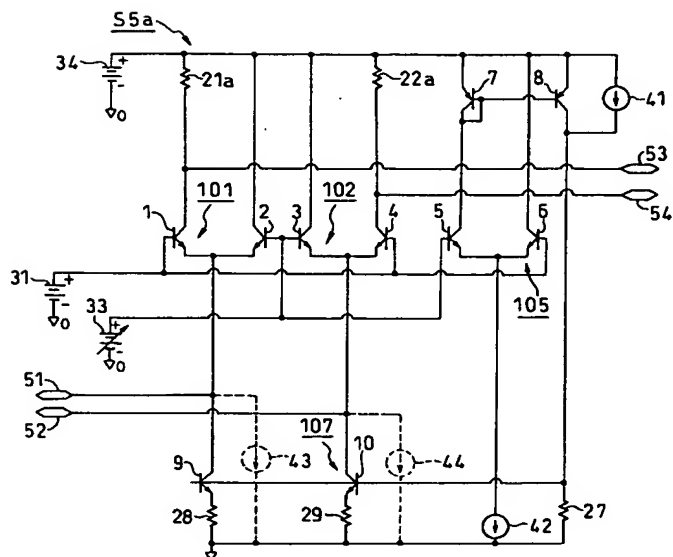
【図 5】



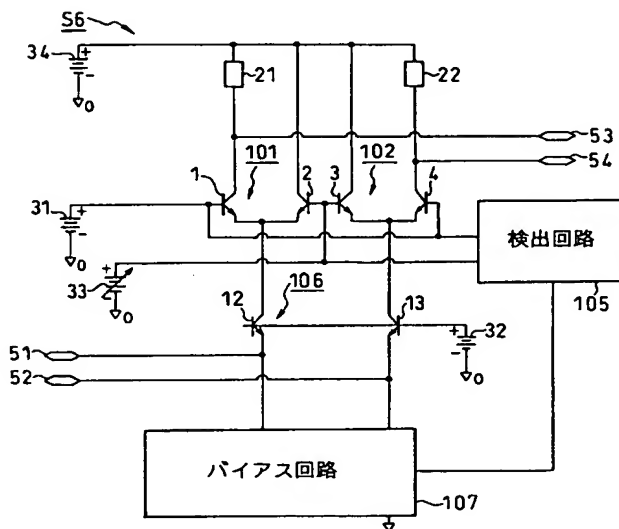
【図 6】



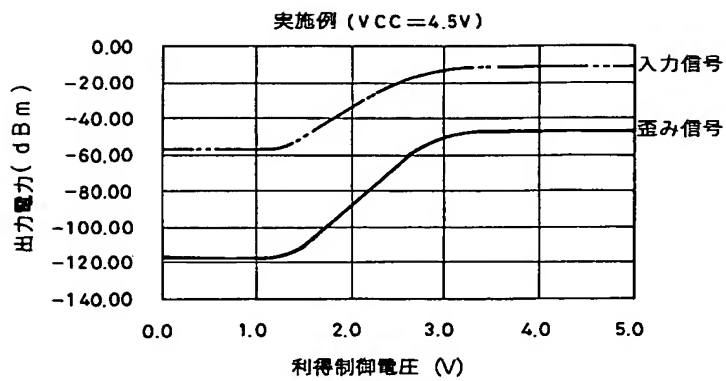
【図 7】



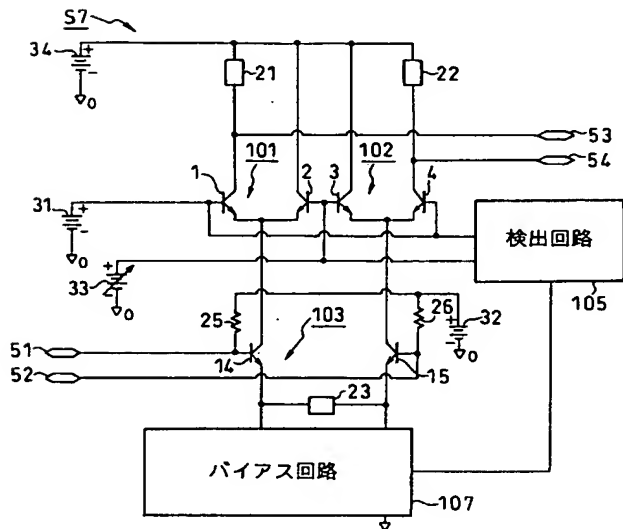
【図 9】



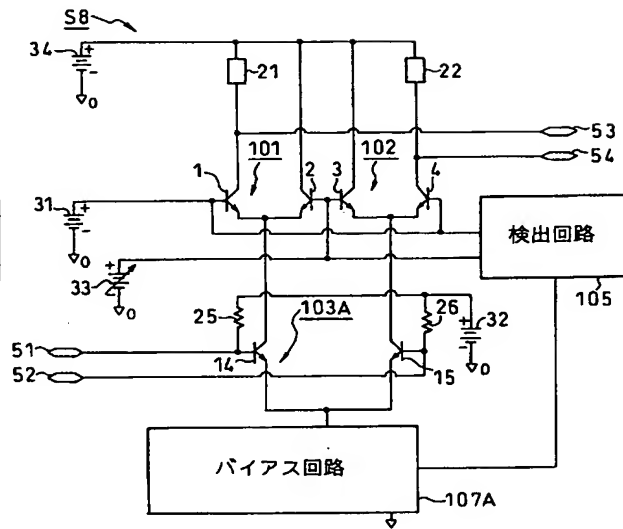
【図 8】



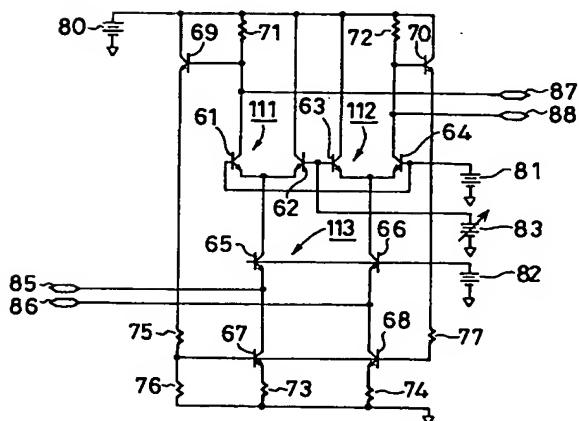
【図 10】



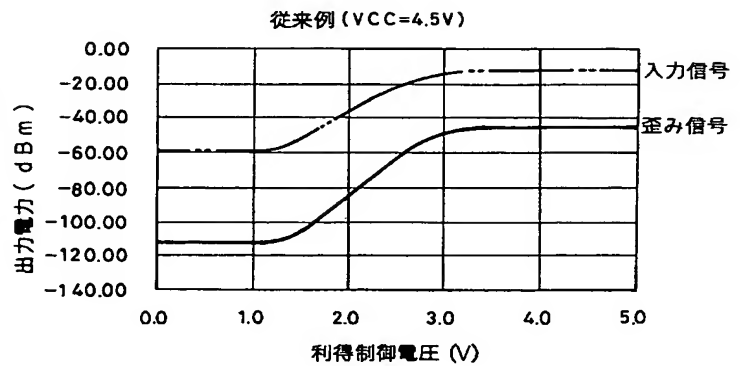
【図 11】



【図 12】



【図 13】



フロントページの続き

F ターム(参考) 5J066 AA01 AA12 AA21 AA22 CA05
CA21 CA32 CA37 CA82 FA01
FA08 FA09 FA10 HA02 HA25
KA02 KA05 KA08 KA10 KA12
KA17 KA49 MA11 MA20 MD04
ND03 ND04 ND22 ND24 ND28
PD02 SA08 TA01 TA02
5J090 AA01 AA12 AA21 AA22 CA05
CA21 CA32 CA37 CA82 CN04
DN02 FA01 FA08 FA09 FA10
FN01 FN03 FN06 FN09 FN10
GN01 HA02 HA25 HN07 KA02
KA10 KA12 KA17 KA49 MA11
MA20 MN02 NN06 NN07 SA08
TA01 TA02
5J100 AA14 AA18 AA19 BA06 BB01
BB22 BC02 CA33 EA02 FA04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.